

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年12月26日
Date of Application:

出願番号 特願2003-434367
Application Number:

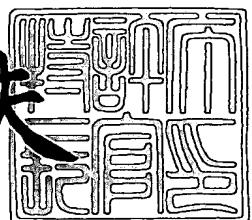
[ST. 10/C] : [JP2003-434367]

出願人 株式会社半導体先端テクノロジーズ
Applicant(s):

2004年 2月10日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 03PN011A
【提出日】 平成15年12月26日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
H01L 21/316

【発明者】
【住所又は居所】 茨城県つくば市小野川16番地1 株式会社半導体先端テクノロジーズ内
【氏名】 神山 聰

【特許出願人】
【識別番号】 597114926
【氏名又は名称】 株式会社半導体先端テクノロジーズ

【代理人】
【識別番号】 100082175
【弁理士】
【氏名又は名称】 高田 守
【電話番号】 03-5379-3088

【選任した代理人】
【識別番号】 100106150
【弁理士】
【氏名又は名称】 高橋 英樹
【電話番号】 03-5379-3088

【手数料の表示】
【予納台帳番号】 049397
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0214704

【書類名】特許請求の範囲**【請求項1】**

基板と、

前記基板上に形成されたゲート絶縁膜であって、金属を1atomic%以上30atomic%以下のピーク濃度で含有する窒素含有金属シリケート膜若しくは窒素含有金属アルミネート膜を最上層に有するゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極とを備えた半導体装置。

【請求項2】

基板と、

前記基板上に形成されたゲート絶縁膜であって、

前記基板上に形成された下地界面層と、

該下地界面層上に形成され、金属、酸素及びシリコンを含む金属シリケート膜と、

該金属シリケート膜上に形成され、金属、酸素、シリコン及び窒素を含む窒素含有金属シリケート膜とを有するゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極とを備え、

前記窒素含有金属シリケート膜は、前記金属を1atomic%以上30atomic%以下のピーク濃度で含有することを特徴とする半導体装置。

【請求項3】

請求項2に記載の半導体装置において、

前記金属シリケート膜は、金属を5atomic%以上40atomic%以下のピーク濃度で含有することを特徴とする半導体装置。

【請求項4】

請求項1から3の何れかに記載の半導体装置において、

前記窒素含有金属シリケート膜は、前記窒素を10atomic%以上30atomic%以下のピーク濃度で含有することを特徴とする半導体装置。

【請求項5】

基板上に下地界面層を形成する工程と、

前記下地界面層上に、金属を1atomic%以上30atomic%以下のピーク濃度で含有する金属シリケート膜を形成する工程と、

前記金属シリケート膜の上層に、窒素を10atomic%以上30atomic%以下のピーク濃度で含有する窒素含有金属シリケート膜を形成する工程と、

前記窒素含有金属シリケート膜上にゲート電極を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項6】

請求項5に記載の半導体装置の製造方法において、

前記金属シリケート膜を形成する工程は、金属を含む原料を前記基板上に供給した後、酸化性ガスを供給して金属酸化膜を形成する第1ステップと、シリコンを含む原料を前記基板上に供給した後、酸化性ガスを供給してシリコン酸化膜を形成する第2ステップとを組み合わせて行い、かつ、該第1及び第2ステップの回数を制御して行う工程であることを特徴とする半導体装置の製造方法。

【請求項7】

基板上に下地界面層を形成する工程と、

前記下地界面層上に、金属を5atomic%以上40atomic%以下のピーク濃度で含有する金属シリケート膜を形成する工程と、

前記金属シリケート膜上に、金属を1atomic%以上30atomic%以下のピーク濃度で含有し、窒素を10atomic%以上30atomic%以下のピーク濃度で含有する窒素含有金属シリケート膜を形成する工程と、

前記窒素含有金属シリケート膜上にゲート電極を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項8】

請求項7に記載の半導体装置の製造方法において、
前記窒素含有金属シリケート膜を形成する工程は、

金属を含む原料を前記基板上に供給した後、酸化性ガスを供給して金属酸化膜を形成するステップと、シリコンを含む原料を前記基板上に供給した後、酸化性ガスを供給してシリコン酸化膜を形成するステップとを組み合わせて行い、かつ、該ステップの回数をそれぞれ制御することにより、金属を1atomic%以上30atomic%以下のピーク濃度で含有する金属シリケート膜を形成する工程と、

該金属シリケート膜を窒化することにより、該金属シリケート膜に窒素を10atomic%以上30atomic%以下のピーク濃度で導入する工程と、
を含むことを特徴とする半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置及びその製造方法

【技術分野】

【0001】

本発明は、金属シリケート膜をゲート絶縁膜として用いた半導体装置及びその製造方法に関する。

【背景技術】

【0002】

半導体装置の微細化に伴い、ゲート絶縁膜の薄膜化が要求されている。従来のゲート絶縁膜であるシリコン酸化膜やシリコン酸窒化膜（以下「シリコン酸化膜等」という。）は、リーク電流が増大するため薄膜化に限界があり、 SiO_2 換算膜厚で1.5 nm以下にすることは困難である。そこで、シリコン酸化膜等よりも高い比誘電率を有する金属酸化膜、金属シリケート膜及び金属アルミネート膜のような高誘電率膜をゲート絶縁膜として用い、ゲート絶縁膜の物理的膜厚を厚くすることにより、リーク電流を抑制するという提案がなされている。

しかし、上記高誘電率膜をゲート絶縁膜として用い、ポリシリコン電極をゲート電極として用いた場合、ポリシリコン電極にドープされた不純物が不純物活性化時にゲート絶縁膜を通して基板に拡散してしまい、トランジスタ特性が劣化してしまうという問題があった。

【0003】

この問題を解決するため、高誘電率膜に窒素を導入する技術が提案されている。

具体的には、基板上にジルコニウム又はハフニウムからなる金属層を形成し、該金属層を酸窒化処理することにより、オキシ窒化ジルコニウム層又はオキシ窒化ハフニウム層からなる高誘電率ゲート絶縁膜を形成する技術が提案されている（例えば、特許文献1参照。）。

また、ハフニウム含有シリコン酸窒化膜からなる下部バリア膜と、シリコン含有ハフニウム酸化膜からなる高誘電率膜と、窒素を含むシリコン含有ハフニウム酸化膜からなる上部バリア膜とを積層することによりゲート絶縁膜を構成し、高誘電率膜及び下部バリア膜中の金属（M）、酸素（O）、窒素（N）及びシリコン（Si）の組成を制御することが記載されている（例えば、特許文献2参照。）。

【0004】

【特許文献1】特開2000-58832号公報（第6頁、図6、8）

【特許文献2】特開2003-8011号公報（第2頁、図1）

【発明の開示】

【発明が解決しようとする課題】

【0005】

上述したように高誘電率膜に窒素を導入することにより、不純物拡散によるフラットバンド電圧シフト（以下「 V_{fb} シフト」という。）は小さくなる。これは、高誘電率ゲート絶縁膜が窒化処理により緻密化され、不純物拡散が抑制されたためであると推測される。

【0006】

しかしながら、上記従来の技術では、固定電荷の影響等による初期の V_{fb} シフトが大きく、特にPチャネルMOSトランジスタにおいて、良好なトランジスタ特性を得ることができないという問題があった。

【0007】

本発明は、上記従来の課題を解決するためになされたもので、初期の V_{fb} シフトを抑制し、良好なトランジスタ特性を得ることを目的とする。

【課題を解決するための手段】

【0008】

本発明に係る半導体装置は、基板と、

前記基板上に形成されたゲート絶縁膜であって、金属を 1 atomic% 以上 30 atomic% 以下のピーク濃度で含有する窒素含有金属シリケート膜若しくは窒素含有金属アルミネート膜を最上層に有するゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極とを備えたことを特徴とするものである。

【0009】

本発明に係る半導体装置は、基板と、

前記基板上に形成されたゲート絶縁膜であって、

前記基板上に形成された下地界面層と、

該下地界面層上に形成され、金属、酸素及びシリコンを含む金属シリケート膜と、

該金属シリケート膜上に形成され、金属、酸素、シリコン及び窒素を含む窒素含有金属シリケート膜とを有するゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極とを備え、

前記窒素含有金属シリケート膜は、前記金属を 1 atomic% 以上 30 atomic% 以下のピーク濃度で含有することを特徴とするものである。

【0010】

本発明に係る半導体装置において、前記金属シリケート膜は、金属を 5 atomic% 以上 40 atomic% 以下のピーク濃度で含有することが好適である。

【0011】

本発明に係る半導体装置において、前記窒素含有金属シリケート膜は、前記窒素を 10 atomic% 以上 30 atomic% 以下のピーク濃度で含有することが好適である。

【0012】

本発明に係る半導体装置の製造方法は、基板上に下地界面層を形成する工程と、

前記下地界面層上に、金属を 1 atomic% 以上 30 atomic% 以下のピーク濃度で含有する金属シリケート膜を形成する工程と、

前記金属シリケート膜の上層に、窒素を 10 atomic% 以上 30 atomic% 以下のピーク濃度で含有する窒素含有金属シリケート膜を形成する工程と、

前記窒素含有金属シリケート膜上にゲート電極を形成する工程と、

を含むことを特徴とするものである。

【0013】

本発明に係る半導体装置の製造方法において、前記金属シリケート膜を形成する工程は、金属を含む原料を前記基板上に供給した後、酸化性ガスを供給して金属酸化膜を形成する第1ステップと、シリコンを含む原料を前記基板上に供給した後、酸化性ガスを供給してシリコン酸化膜を形成する第2ステップとを組み合わせて行い、かつ、該第1及び第2ステップの回数を制御して行う工程であることが好適である。

【0014】

本発明に係る半導体装置の製造方法は、基板上に下地界面層を形成する工程と、

前記下地界面層上に、金属を 5 atomic% 以上 40 atomic% 以下のピーク濃度で含有する金属シリケート膜を形成する工程と、

前記金属シリケート膜上に、金属を 1 atomic% 以上 30 atomic% 以下のピーク濃度で含有し、窒素を 10 atomic% 以上 30 atomic% 以下のピーク濃度で含有する窒素含有金属シリケート膜を形成する工程と、

前記窒素含有金属シリケート膜上にゲート電極を形成する工程と、

を含むことを特徴とするものである。

【0015】

本発明に係る半導体装置の製造方法において、前記窒素含有金属シリケート膜を形成する工程は、

金属を含む原料を前記基板上に供給した後、酸化性ガスを供給して金属酸化膜を形成するステップと、シリコンを含む原料を前記基板上に供給した後、酸化性ガスを供給してシリコン酸化膜を形成するステップとを組み合わせて行い、かつ、該ステップの回数をそれぞれ制御することにより、金属を 1 atomic% 以上 30 atomic% 以下のピーク濃度で含有す

る金属シリケート膜を形成する工程と、

該金属シリケート膜を窒化することにより、該金属シリケート膜に窒素を10 atomic%以上30 atomic%以下のピーク濃度で導入する工程と、
を含むことが好適である。

【発明の効果】

【0016】

本発明は以上説明したように、高誘電率膜の最上層に備えた金属シリケート膜中の金属濃度を制御することにより、理想のC-V特性と同等のC-V特性を有する半導体装置を実現することができる。

【発明を実施するための最良の形態】

【0017】

以下、図面を参照して、本発明の実施の形態について説明する。

図1は、本発明の実施の形態による半導体装置を説明するための断面図である。詳細には、P型チャネルMOSトランジスタ（以下「PMOSトランジスタ」という。）を説明するための断面図である。

図1に示すように、基板1としてのp型シリコン基板内に、n型不純物が導入されてなるn型ウェル2が形成されている。該基板1の素子分離領域に素子分離構造3が形成されている。この素子分離構造3により、活性領域であるPMOSトランジスタ形成領域が区画形成される。素子分離構造3は、基板1の表面側から形成された浅溝内にシリコン酸化膜が充填されてなるSTI（Shallow Trench Isolation）である。MOSトランジスタ形成領域の基板1上には、積層されたゲート絶縁膜4a, 5a, 6aを介してゲート電極7bが形成されている。

【0018】

ゲート絶縁膜は、基板1上に形成された下地界面層4aと、該下地界面層4a上に形成された高誘電率膜5aと、該高誘電率膜5a上に形成された上層絶縁膜6aとを有する。

下地界面層4aは、基板1と高誘電率膜5aとの界面反応を抑制するシリコン酸化膜である。下地界面層4aの膜厚は、1nm以下が好適であり、例えば、0.5nm程度である。

高誘電率膜5aは、金属、酸素及びシリコンを含有する金属シリケート膜であり、例えば、Hf（ハフニウム）シリケート膜又はZr（ジルコニウム）シリケート膜を用いることができる。高誘電率膜5aの膜厚は、例えば、3nm程度である。

【0019】

上層絶縁膜6aは、金属、酸素、シリコン及び窒素を含有する窒素含有金属シリケート膜であり、例えば、窒素含有Hfシリケート膜又は窒素含有Zrシリケート膜を用いることができる。

上層絶縁膜6aは、HfやZrのような金属を1 atomic%以上30 atomic%以下のピーク濃度で含有する膜である。すなわち、窒素含有金属シリケート膜6aは、シリコンリッチな膜とする。金属ピーク濃度が30 atomic%を超える場合、後述するように、良好な電気特性が得られないためである。

また、上層絶縁膜6aは、窒素を10 atomic%以上30 atomic%以下のピーク濃度で含有する。窒素ピーク濃度が10 atomic%未満の場合には、上層絶縁膜6aの緻密化が不十分となり、活性化熱処理においてゲート電極であるポリシリコンへ導入したリンあるいはボロンなどの不純物の拡散抑制が困難となるためである。また、窒素ピーク濃度が30 atomic%を超えるようにするには実際困難であり、仮に可能であったとしても優れた電気特性が得られない。

上層絶縁膜6aの膜厚は、高誘電率膜5aの膜厚の1/20~2/3程度が好適である。

【0020】

ゲート電極7bは、ポリシリコン膜に不純物が導入されたドープトシリコン膜からなるポリシリコン電極である。また、ゲート電極7bとして、ポリシリコン電極に代えて、シ

リコンゲルマニウム (Si_xGe_y) 電極を用いることができる。

ゲート電極 7b 及びゲート絶縁膜 4a, 5a, 6a の側面には、LDD 形成用スペーサとしてのサイドウォール 11 が形成されている。該サイドウォール 11 は、シリコン酸化膜やシリコン窒化膜等からなる。

ゲート電極 7b 下方の基板 1 表面のチャネル領域を挟んで、低濃度の p 型不純物が導入されてなるエクステンション領域 14 が形成されている。高濃度の p 型不純物が導入されてなるソース／ドレイン領域 15 が、エクステンション領域 14 と接続するように n 型ウェル 2 に形成されている。

【0021】

ゲート電極 7b を覆うように、BPSG、BSG、PSG のような層間絶縁膜 16 が形成されている。該層間絶縁膜 16 内に、ソース／ドレイン領域 15 に接続されたコンタクトホールが形成され、該コンタクトホール内にバリアメタル膜とタンゲステン膜との積層膜のような導電膜が埋め込まれたコンタクト 17 が形成されている。コンタクト 17 上には、金属配線 18 が形成されている。

【0022】

なお、上述した PMOS トランジスタに限らず、同様の断面構造を有する N 型チャネル MOS トランジスタ（以下「NMOS トランジスタ」という。）に対しても本発明を適用することができる。

NMOS トランジスタの場合には、p 型シリコン基板 1 内に p 型ウェルが形成され、素子分離構造 3 により NMOS トランジスタ形成領域が区画形成されている。さらに、p 型ウェルには、低濃度の n 型不純物が導入されてなるエクステンション領域と、該エクステンションに接続され、高濃度の n 型不純物が導入されてなるソース／ドレイン領域とが形成されている。

【0023】

次に、上記高誘電率膜 5 としての金属シリケート膜の形成方法について説明する。具体的には、Hf シリケート膜の形成方法について説明する。

【0024】

Hf シリケート膜は、ハフニウム酸化膜 (HfO₂ 膜) を ALD (Atomic Layer Deposition) 法により形成する工程と、シリコン酸化膜 (SiO₂ 膜) を ALD 法により形成する工程とを組み合わせて行い、それぞれの工程の回数を制御することにより形成される。各工程の詳細について、以下に説明する。

【0025】

先ず、ハフニウム酸化膜の形成工程について説明する。

ハフニウム酸化膜は、Hf 原料としてのテトラメチルエチルアミドハフニウム [Hf(N(CH₃)(C₂H₅))₄] を液体マスフローコントローラを用いて流量制御し、該流量制御された Hf 原料を気化させて、成膜チャンバ内に保持されたシリコン基板表面に吸着させた後、該チャンバ内にオゾンガスのような酸化性ガスを導入することにより形成される。かかるハフニウム酸化膜の形成工程を 1 サイクルとする。

図 2 は、テトラメチルエチルアミドハフニウム [Hf(N(CH₃)(C₂H₅))₄] を Hf 原料として用いてハフニウム酸化膜を形成する場合において、サイクル数とハフニウム酸化膜の膜厚との関係を示す図である。図 2 には、基板温度が 200°C, 250°C, 275°C, 300°C, 325°C である場合の膜厚の変化を示している。図 2 に示すように、各シリコンウェハ温度において、サイクル数の増加に伴い、ハフニウム酸化膜の膜厚が線形的に増加している。さらに、基板温度が増加するのに伴い、直線の傾きが大きくなり、1 サイクル当たりの成膜速度が増加している。これは、基板温度の増加に伴い、基板表面に吸着するテトラメチルエチルアミドハフニウム [Hf(N(CH₃)(C₂H₅))₄] の量も増加するためであると考えられる。図 2 に示すように、各基板温度における 1 サイクル当たりの HfO₂ 成膜速度は、200°C: 0.090 nm/cycle, 250°C: 0.093 nm/cycle, 275°C: 0.117 nm/cycle, 300°C: 0.227 nm/cycle, 325°C: 0.458 nm/cycle であった。

【0026】

なお、Hf原料として、テトラジメチルアミドハフニウム $[Hf(N(CH_3)_2)_4]$ 又はテトラジエチルアミドハフニウム $[Hf(N(C_2H_5)_2)_4]$ を用いることができる。

また、Hfシリケート膜に代えて、Zrシリケート膜を形成することができる。この場合、Zr原料として、テトラメチルエチルアミドジルコニウム $[Zr(N(CH_3)(C_2H_5))_4]$ 、テトラジメチルアミドジルコニウム $[Zr(N(CH_3)_2)_4]$ 又はテトラジエチルアミドジルコニウム $[Zr(N(C_2H_5)_2)_4]$ を用いることができる。

同様に、金属として、Hf又はZr以外に、タンタル (Ta)、スカンジウム (Sc)、イットリウム (Y)、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユーロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、イッテルビウム (Yb) およびルテチウム (Lu) を用いることができる。この場合、金属原料として、上記Hf原料のハフニウム部分を各金属元素に変えた原料を用いることができる。

【0027】

次に、シリコン酸化膜の形成工程について説明する。

シリコン酸化膜は、Si原料としてのトリスジメチルアミノシラン $[SiH(N(CH_3)_2)_3]$ を液体マスフローコントローラを用いて流量制御し、該流量制御されたSi原料を気化させて、成膜チャンバ内に保持されたシリコン基板表面に吸着させた後、該チャンバ内にオゾンガスのような酸化性ガスを導入することにより形成される。かかるシリコン酸化膜の形成工程を1サイクルとする。

図3は、トリスジメチルアミノシラン $[SiH(N(CH_3)_2)_3]$ をSi原料として用いてシリコン酸化膜を形成する場合において、サイクル数とシリコン酸化膜の膜厚との関係を示す図である。図3(a)は成膜チャンバ内の圧力が0.5Torrの場合、図3(b)は成膜チャンバ内の圧力が5.0Torrの場合の結果を示している。成膜チャンバ内の圧力が0.5Torrの場合、図3(a)に示すように、サイクル数の増加に伴いシリコン酸化膜の膜厚が線形的に増加しているが、成膜速度は小さかった。一方、成膜チャンバ内の圧力を5.0Torrに上げた場合には、図3(b)に示すように、成膜速度が増加した。これは、Si原料であるトリスジメチルアミノシラン $[SiH(N(CH_3)_2)_3]$ は、0.5Torrの低圧では基板表面に吸着しにくく、5.0Torrの圧力にすることにより吸着量が増加するためであると考えられる。図3(b)に示すように、0.5Torrの低圧で成膜した場合、各基板温度における1サイクル当たりのSiO₂成膜速度は、225°C: 0.058 nm/cycle、250°C: 0.070 nm/cycle、275°C: 0.080 nm/cycleであった。

【0028】

なお、Si原料として、トリスジエチルアミノシラン $[SiH(N(C_2H_5)_2)_3]$ 、テトラキスジメチルアミノシラン $[Si(N(CH_3)_2)_4]$ 、テトラキスジエチルアミノシラン $[Si(N(C_2H_5)_2)_4]$ 、ジメチルシラン $[SiH_2(CH_3)_2]$ 、ジエチルシラン $[SiH_2(C_2H_5)_2]$ 又はビスター・シヤリブチルアミノシラン $[SiH_2(NH(C_4H_9)_2)]$ を用いることができる。

【0029】

図4は、Hf原料としてテトラメチルエチルアミドハフニウム $[Hf(N(CH_3)(C_2H_5))_4]$ を用いてハフニウム酸化膜を形成し、Si原料としてトリスジメチルアミノシラン $[SiH(N(CH_3)_2)_3]$ を用いてシリコン酸化膜を形成する場合において、サイクル数とHfシリケート膜の膜厚との関係を示す図である。ハフニウム酸化膜とシリコン酸化膜の形成については上述した通りである。図4において、Hf/Si = 1/1は、Hfシリケート膜を形成する工程の1サイクルにおいて、HfO₂成膜とSiO₂成膜とを1サイクル毎に行っていることを意味する。また、Hf/Si = 1/2は、HfO₂成膜を1回行った後にSiO₂成膜を2回行っていることを意味し、Hf/Si = 1/4はHfO₂成膜を1回行った後にSiO₂成膜を4回行っていることを意味している。何れのサイクル比の場合でも、HfO₂成膜での成膜チャンバ内の圧力は0.5Torrとし、SiO₂成膜での成膜チャンバ内の圧力は5.0Torrとした。また、基板温度は、275°Cとした。

図4に示すように、 $Hf/Si = 1/1$ 、 $Hf/Si = 1/2$ 及び $Hf/Si = 1/4$ の何れの場合においても、サイクル数の増加に伴い、 Hf シリケート膜厚が線形的に増加している。これは、サイクル数により Hf シリケート膜の膜厚を非常に精度良く制御できることを意味している。図4に示すように、1サイクル当たりの Hf シリケート成膜速度は、 $Hf/Si = 1/1 : 0.155\text{ nm/cycle}$ 、 $Hf/Si = 1/2 : 0.222\text{ nm/cycle}$ 、 $Hf/Si = 1/4 : 0.373\text{ nm/cycle}$ であった。

【0030】

なお、 Hf 原料及び Si 原料は、上述した他の材料に適宜変更可能である。

【0031】

図5は、 Hf としてテトラメチルエチルアミドハフニウム [$Hf(N(CH_3)(C_2H_5))_4$] を用いてハフニウム酸化膜を形成し、 Si 原料としてトリスジメチルアミノシラン [$SiH(N(CH_3)_2)_3$] を用いてシリコン酸化膜を形成する場合において、 Hf/Si 比と Hf シリケート膜中の Hf 濃度 [$Hf/(Hf + Si)$]との関係を示す図である。ここで、 HfO_2 成膜と SiO_2 成膜とでは成膜チャンバ内の圧力は異なり、 HfO_2 成膜時の圧力を0.5Torrとし、 SiO_2 成膜時の圧力を5.0Torrとした。また、基板温度は、275°Cとした。

【0032】

図5に示すように、 Hf/Si 比、すなわち、 Hf シリケート膜成膜1サイクルにおける HfO_2 成膜工程数と SiO_2 成膜工程数の比、を制御することにより、 Hf シリケート膜中の Hf 濃度を1/30～約1の広範囲で精度良く制御することができる。従って、以上のような製法を用いることにより、金属シリケート膜中の金属ピーグ濃度を精度良く制御することができる。

【0033】

次に、本実施の形態による半導体装置の製造方法について説明する。

図6～図8は、本実施の形態による半導体装置の製造方法を説明するための工程断面図である。詳細には、PMOSトランジスタの製造方法を説明するための工程断面図である。NMOSトランジスタとPMOSトランジスタは同様の断面構造を有するため、NMOSトランジスタの製造方法については図示を省略し適宜説明する。

先ず、図6(a)に示すように、PMOSトランジスタ形成領域において、P型シリコン基板1内にn型不純物を導入し熱処理を施すことによりn型ウェル2を形成する。一方、NMOSトランジスタ形成領域において、シリコン基板1内にp型不純物を導入し熱処理を施すことによりp型ウェルを形成する。そして、STI法により素子分離構造3を形成することにより、上記PMOS及びNMOSトランジスタ形成領域に仕切られる。具体的には、シリコン基板1の素子分離領域に浅い溝を形成し、該溝内にシリコン酸化膜を埋め込むことにより素子分離構造3を形成する。溝以外に形成されたシリコン酸化膜は、CMP法又はエッチバック法により除去することができる。

【0034】

次に、シリコン基板1の表面を希釈フッ酸(DHF)を用いて洗浄する。その後、図6(b)に示すように、シリコン基板1の表面にシリコン酸化膜4を、ハロゲンランプやフラッシュランプを用いた急速加熱処理により、例えば、0.5nm程度の膜厚で形成する。かかる極薄のシリコン酸化膜4を形成した後、上述した方法を用いて、 Hf シリケート膜5を、例えば、3nm程度の膜厚で形成する。

Hf シリケート膜5形成後、窒素含有 Hf シリケート膜6の形成前に、 Hf シリケート膜5を緻密化する処理を行ってもよい。該緻密化は、例えば、酸素ガスが微量添加された窒素ガス雰囲気、又は窒素ガス雰囲気中で、ハロゲンランプを用いた急速加熱処理を、1sec～600sec行うことにより実行することができる。また、該雰囲気中で、フラッシュランプを用いた急速加熱処理を、0.3msec～100msec行うことにより実行することができる。

【0035】

次に、図6(c)に示すように、 Hf シリケート膜5の上層に、 Hf を1atomic%以上

30 atomic%以下のピーク濃度で含有し、窒素を10 atomic%以上30 atomic%以下のピーク濃度で含有する窒素含有Hfシリケート膜6を形成する。該窒素含有Hfシリケート膜6の形成方法として、窒化性ガスを用いたプラズマ処理を適用することができる。

なお、Hfシリケート膜5を窒化することにより窒素含有Hfシリケート膜6を形成する代わりに、Hfシリケート膜5上に、ハフニウム、酸素、シリコン及び窒素を含む原料を用いて、窒素含有Hfシリケート膜6を形成してもよい。

窒素含有Hfシリケート膜6を形成した後、緻密化処理を行う必要である。緻密化処理は、例えば、酸素ガスが微量添加された窒素ガス雰囲気、又は窒素ガス雰囲気中で、ランプを用いた急速加熱処理を行うことにより実行することができる。

【0036】

次に、図6(d)に示すように、窒素含有Hfシリケート膜6上に、最終的にゲート電極となるポリシリコン膜7を形成する。

そして、図7(a)に示すように、ポリシリコン膜7にボロンのような不純物8をイオン注入する。これにより、窒素含有Hfシリケート膜6上に、ドープトポリシリコン膜7aが形成される。一方、図示しないが、NMOSトランジスタ形成領域に形成されたポリシリコン膜には、リンのような不純物をイオン注入する。

【0037】

次に、ドープトポリシリコン膜7a上にレジストパターン(図示せず)を形成し、該レジストパターンをマスクとして用いて、ドープトポリシリコン膜7a、窒素含有Hfシリケート膜6、Hfシリケート膜5及びシリコン酸化膜4を順次エッチングする。これにより、図7(b)に示すように、シリコン基板1のn型ウェル2上に、シリコン酸化膜4a、Hfシリケート膜5a及び窒素含有Hfシリケート膜6aを積層してなるゲート絶縁膜を介して、ポリシリコンゲート電極7bが形成される。そして、このゲート電極7bをマスクとして用いて、低濃度のp型不純物9としての二フッ化ボロン(BF₂)をn型ウェル2にイオン注入する。これにより、n型ウェル2において、ゲート電極7bの両側のシリコン基板1上層に、最終的にエクステンション領域となるp型低濃度イオン注入層10が形成される。一方、図示しないが、NMOSトランジスタ形成領域では、ヒ素をp型ウェルにイオン注入し、n型低濃度イオン注入層を形成する。

【0038】

次に、ゲート電極7bを覆うようにシリコン基板1全面にシリコン窒化膜を、例えば、100 nm程度の膜厚で形成し、該シリコン窒化膜を異方性エッチングする。これにより、図7(c)に示すように、ゲート電極7b及びゲート絶縁膜6a, 5a, 4aの側壁を覆い、シリコン窒化膜からなるサイドウォール11が自己整合的に形成される。

【0039】

次に、図8(a)に示すように、ゲート電極7b及びサイドウォール11をマスクとして用いて、高濃度のp型不純物12としてのボロン12をn型ウェル2にイオン注入する。これにより、n型ウェル2において、最終的にソース/ドレイン領域となるp型高濃度イオン注入層13が形成される。一方、図示しないが、NMOSトランジスタ形成領域では、リンをp型ウェルにイオン注入し、n型高濃度イオン注入層を形成する。

【0040】

次に、ランプを用いた急速加熱処理を行う。これにより、図8(b)に示すように、n型ウェル2におけるp型低濃度イオン注入層10とp型低濃度イオン注入層13とがそれぞれ活性化され、低濃度で不純物が導入されたp型エクステンション領域14と、高濃度で不純物が導入されたp型ソース/ドレイン領域15とが形成される。一方、図示しないが、NMOSトランジスタ形成領域では、p型ウェルにおけるn型低濃度イオン注入層とn型高濃度イオン注入層とがそれぞれ活性され、低濃度で不純物が導入されたn型エクステンション領域と、高濃度で不純物が導入されたn型ソース/ドレイン領域とが形成される。

ここで、活性化のための熱処理温度は、緻密化のための熱処理温度よりも、少なくとも10°C以上低くすることが好適である。例えば、活性化熱処理温度を980°Cで行い、緻

密化熱処理温度を1000℃で行うことができる。これにより、ゲート絶縁膜とゲート電極との相互反応が抑制され、熱的に安定で、ゲート電極に導入された不純物拡散を抑制したゲート絶縁膜が得られる。

【0041】

次に、図8(c)に示すように、基板全面に層間絶縁膜16をCVD法を用いて形成する。そして、層間絶縁膜16上にリソグラフィ技術を用いてレジストパターン(図示せず)を形成し、該レジストパターンをマスクとしたドライエッチングにより層間絶縁膜16内にソース／ドレイン領域15に接続するコンタクトホールを形成した後、該コンタクトホール内にバリアメタル膜及びタンクスチタン膜を埋め込むことによりコンタクト17を形成する。なお、不要なバリアメタル膜及びタンクスチタン膜は、CMP法を用いて除去する。その後、コンタクト17上に金属配線18を形成することにより、図1に示した半導体装置が製造される。

【0042】

次に、本実施の形態により製造されたMOSトランジスタのゲート容量－ゲート電圧特性(以下「C－V特性」という。)について説明する。

図9は、本実施の形態による半導体装置のC－V特性を示す図である。詳細には、図9(a)は、NMOSトランジスタのC－V特性を示す図であり、図9(b)は、PMOSトランジスタのC－V特性を示す図である。

図9(a), (b)に示すように、 $H_f/S_i = 1/1$ (上述)で H_f シリケート膜を形成した場合、実際に得られたMOSトランジスタのC－V特性は、理想のC－Vよりずれてしまう。これは、初期の V_{fb} シフトが抑制されていないためである。

一方、 $H_f/S_i = 1/2$ で H_f シリケート膜を形成した場合、C－V特性が理想のC－V特性に近づいている。

さらに、 $H_f/S_i = 1/4$ で H_f シリケート膜を形成した場合、すなわち金属濃度 [$H_f / (H_f + S_i)$] が約30%以下になる場合、ほぼ理想のC－V特性が得られる。よって、初期の V_{fb} が十分に抑制できていることが分かる。

よって、シリコンリッチな H_f シリケート膜を形成することにより良好なC－V特性が得られ、金属濃度が約30%以下になった場合、ほぼ理想C－V曲線に近い結果となった。特に、図9(b)に示すように、PMOSトランジスタにおいて顕著なC－V特性の改善が見られた。

また、図9(a), (b)に示すように、反転側で、 H_f/S_i 比により C/C_{max} 値が異なり、シリコンリッチになるほど C/C_{max} 値が大きくなっているのがわかる。これは、シリコンリッチな H_f シリケート膜であるほど、上部電極ポリシリコンからの不純物拡散が小さく、空乏化がなくなるためであると考えられる。

なお、上述した他の H_f 原料及び S_i 原料を用いて H_f シリケートを形成した場合についても同様の結果が得られる。

【0043】

以上説明したように、本実施の形態では、ゲート絶縁膜の最上層に位置する窒素含有 H_f シリケート膜6a中の金属ピーク濃度を1atomic%以上30atomic%以下に制御した。これにより、初期の V_{fb} シフトを十分に抑制することができ、理想のC－V特性と同等のC－V特性を得ることができる。

また、窒素含有 H_f シリケート膜6a中の窒素ピーク濃度を10atomic%以上30atomic%以下に制御した。これにより、活性化熱処理時のゲート電極に導入された不純物のゲート絶縁膜への拡散を抑制することができ、不純物拡散による V_{fb} シフトを抑制することができる。

【0044】

なお、本実施の形態1では、高誘電率膜5として金属シリケート膜を用い、上層絶縁膜6として窒素含有金属シリケート膜を用いた場合について説明した。本発明は、高誘電率膜として金属アルミネート膜を用い、上層絶縁膜として窒素含有金属アルミネート膜を用いた場合にも適用することができ、この場合にも同様の効果が得られる。

【0045】

次に、上記実施の形態の変形例について説明する。

上述した実施の形態では、金属シリケート膜5aと窒素含有金属シリケート膜6aにおける金属ピーク濃度が同等であった。これに対して、本変形例では、金属シリケート膜5aの金属ピーク濃度を、窒素含有金属シリケート膜6aの金属ピーク濃度よりも高くすることとした。すなわち、金属シリケート膜5aを金属リッチな膜とし、窒素含有金属シリケート膜6aをシリコンリッチな膜とした。その他の構成については、上記実施の形態と同様であるので、説明を省略する。

【0046】

本変形例では、高誘電率膜5aとしての金属シリケート膜（例えば、Hfシリケート膜やZrシリケート膜）を、金属を5atomic%以上40atomic%以下のピーク濃度で含有する金属リッチな膜とする。

【0047】

上記実施の形態による半導体装置の製造方法において、シリコン酸化膜4を形成した後、例えば、Hf/Si = 1/2の比率で、ハフニウムリッチなHfシリケート膜を形成する。そして、Hfシリケート膜上に、Hf/Si = 1/4の比率で、シリコンリッチなHfシリケート膜を形成する。その後、該シリコンリッチなHfシリケート膜を窒化することにより、上層絶縁膜としてのシリコンリッチな窒素含有Hfシリケート膜が形成される。以後、上記実施の形態と同様に、該窒素含有Hfシリケート膜上に、ポリシリコン膜7が形成される。

【0048】

本変形例においても、ゲート絶縁膜の最上層の膜を、金属を1atomic%以上30atomic%以下のピーク濃度で含有する窒素含有金属シリケート膜とすることにより、上記実施の形態と同様の効果が得られる。さらに、本変形例は、高誘電率膜5aとして金属リッチな金属シリケート膜を用いることにより、ゲート絶縁膜トータルの実効比誘電率を向上させることができる。

【図面の簡単な説明】

【0049】

【図1】本発明の実施の形態による半導体装置を説明するための断面図である。

【図2】サイクル数とハフニウム酸化膜の膜厚との関係を示す図である。

【図3】サイクル数とシリコン酸化膜の膜厚との関係を示す図である。

【図4】サイクル数とHfシリケート膜の膜厚との関係を示す図である。

【図5】Hf/Si比と、Hfシリケート膜中のHf濃度との関係を示す図である。

【図6】本発明の実施の形態による半導体装置の製造方法を説明するための工程断面図である（その1）。

【図7】本発明の実施の形態による半導体装置の製造方法を説明するための工程断面図である（その2）。

【図8】本発明の実施の形態による半導体装置の製造方法を説明するための工程断面図である（その3）。

【図9】本発明の実施の形態による半導体装置の容量-電圧特性を示す図である。

【符号の説明】

【0050】

1 基板（p型シリコン基板）

2 n型ウェル

3 素子分離構造

4a 下地界面層（シリコン酸化膜）

5a 高誘電率膜（金属シリケート膜）

6a 上層絶縁膜（窒素含有金属シリケート膜）

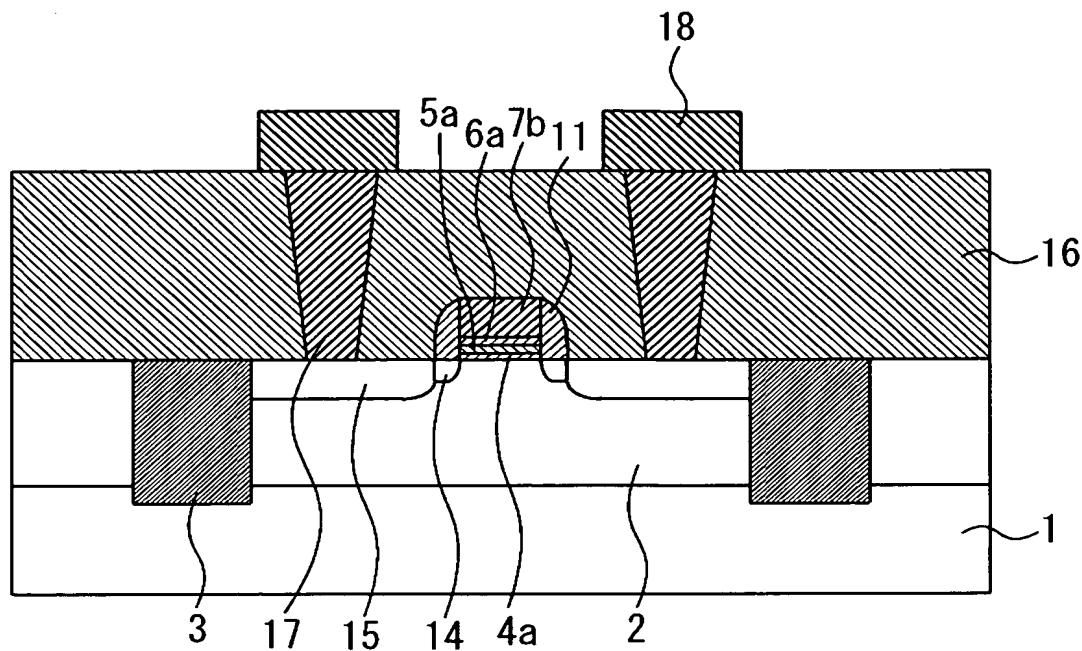
7 ポリシリコン膜

7a ドープトポリシリコン膜

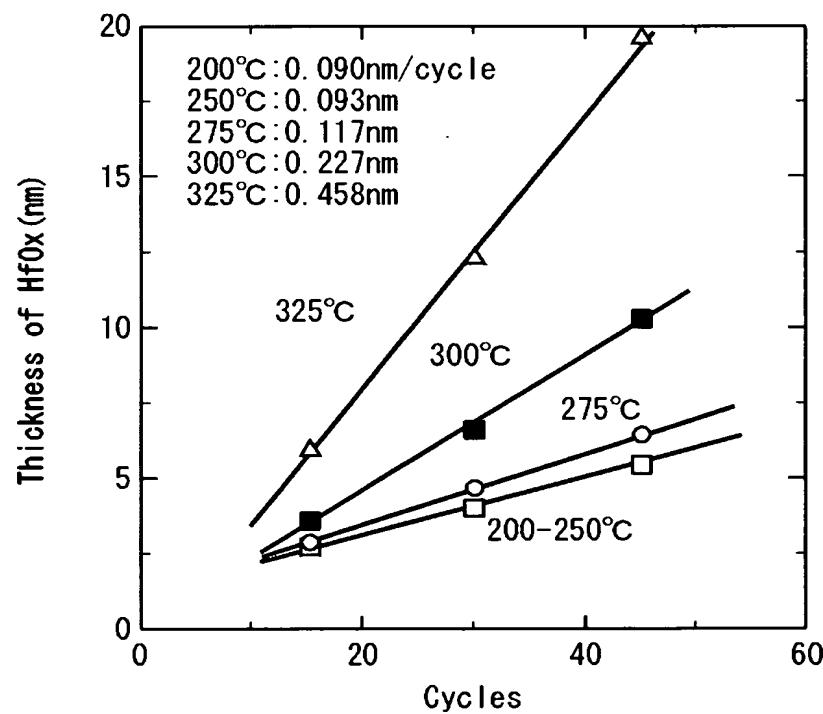
- 7 b ゲート電極（ポリシリコン電極）
- 8 不純物
- 9 不純物
- 10 低濃度イオン注入層
- 11 サイドウォール
- 12 不純物
- 13 低濃度イオン注入層
- 14 エクステンション領域
- 15 ソース／ドレイン領域
- 16 層間絶縁膜
- 17 コンタクト
- 18 金属配線

【書類名】図面

【図1】

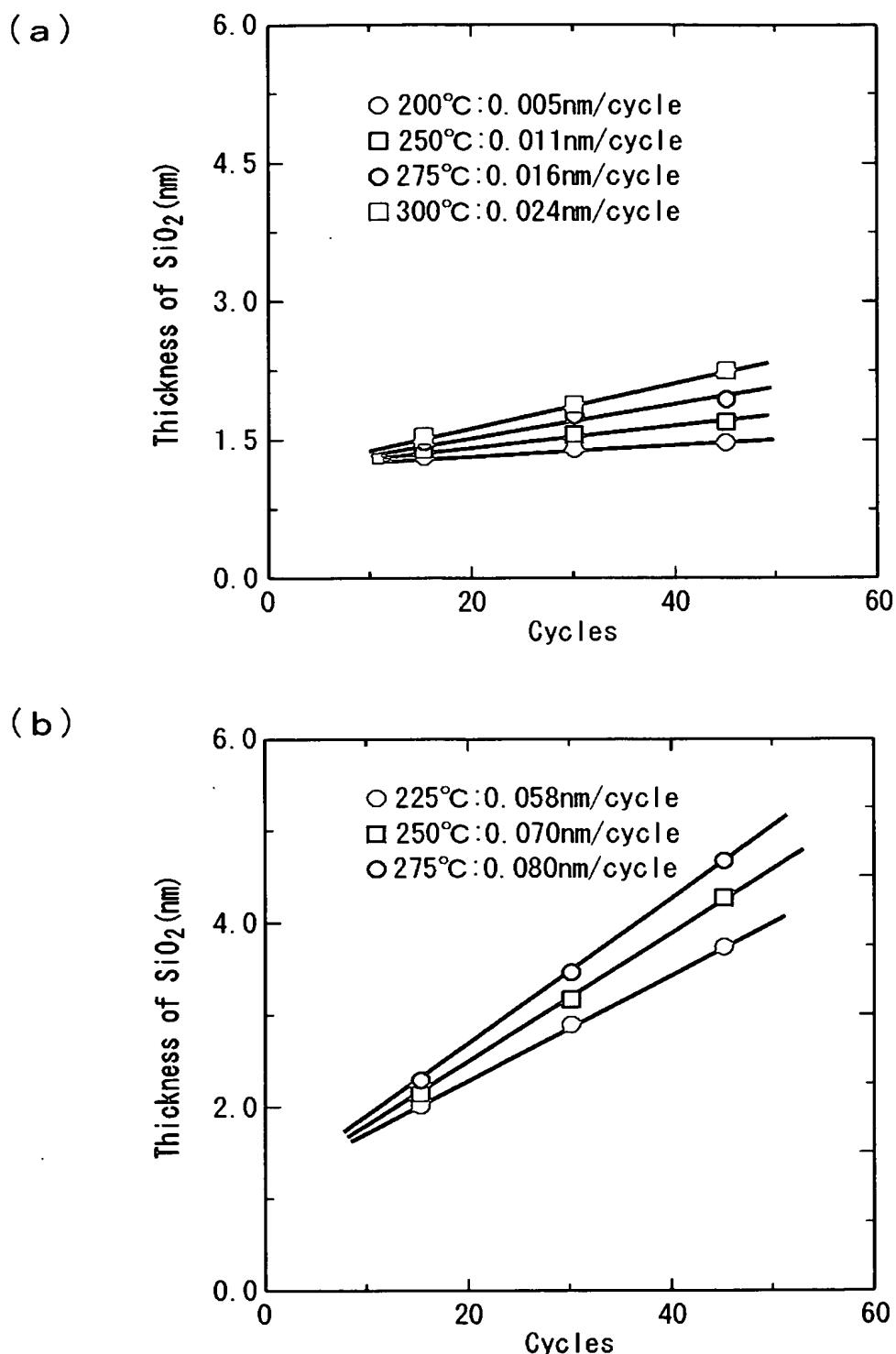


【図2】

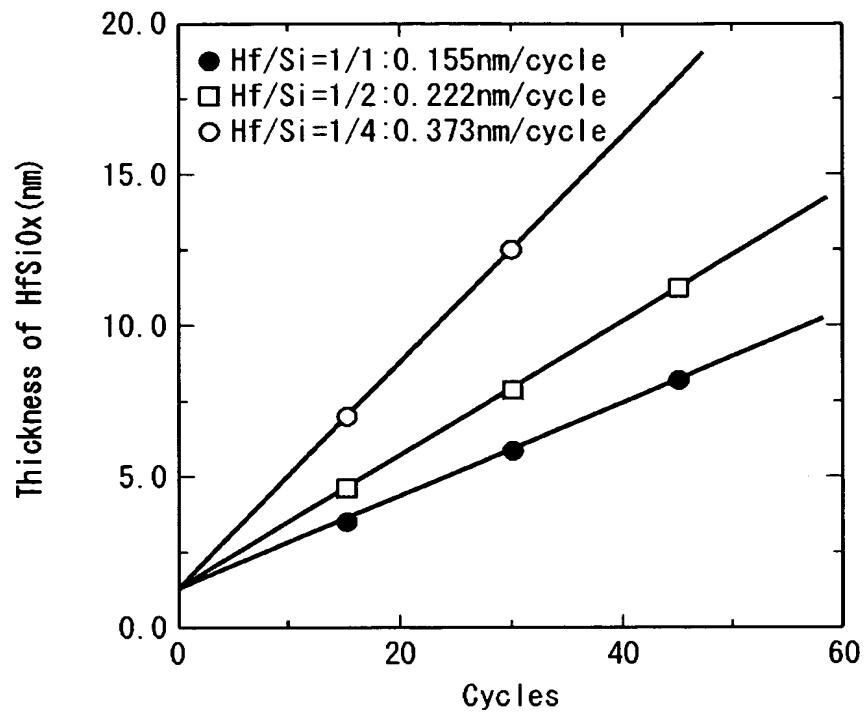




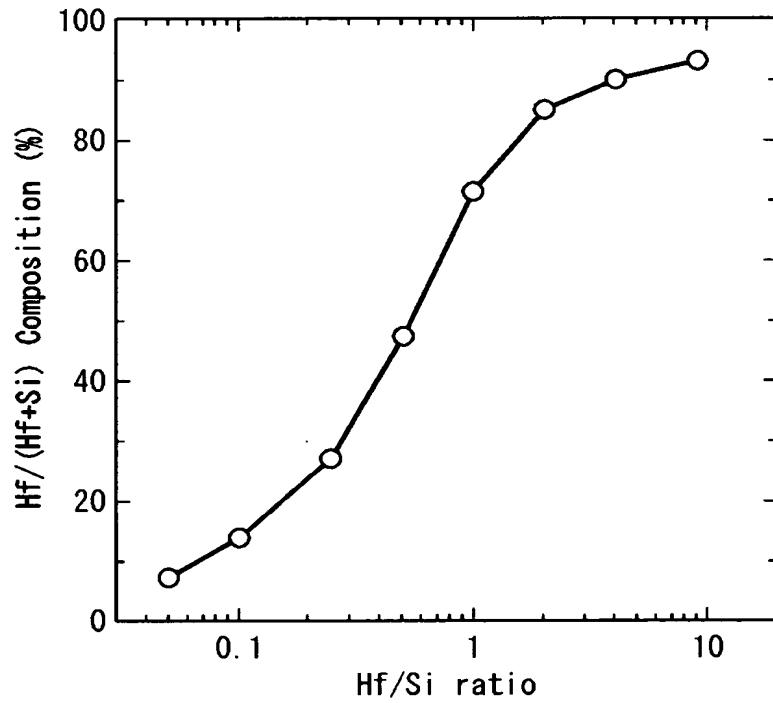
【図3】



【図4】

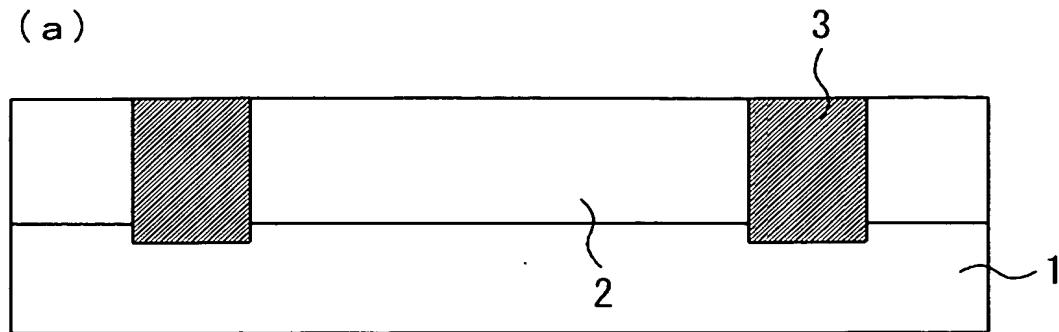


【図5】

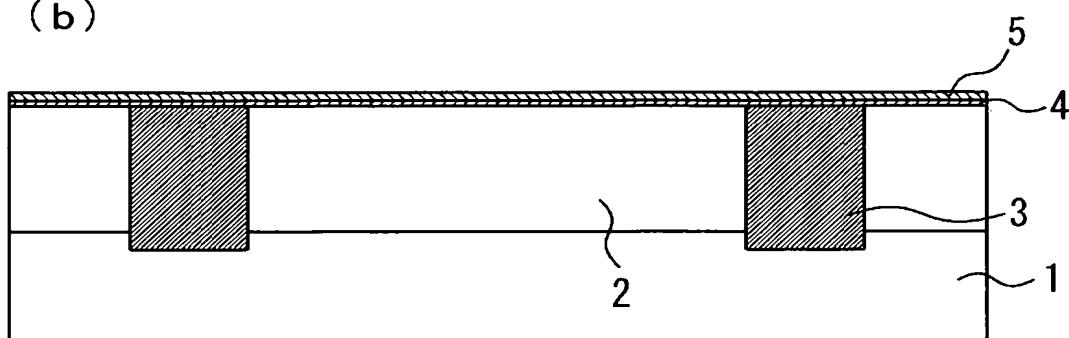


【図6】

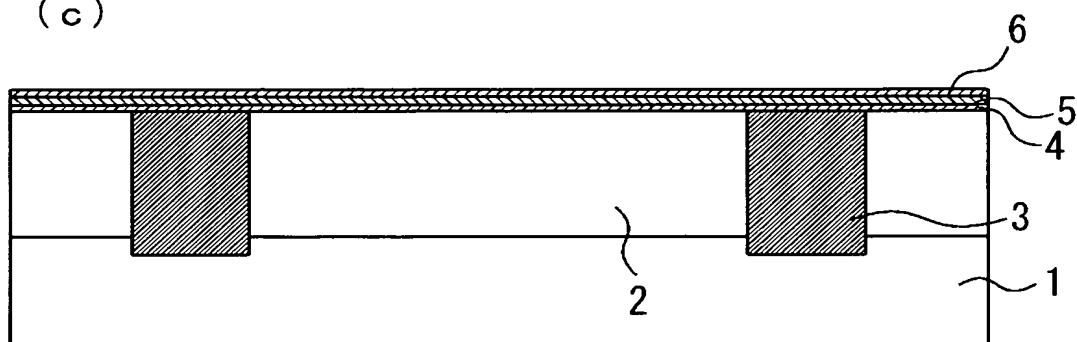
(a)



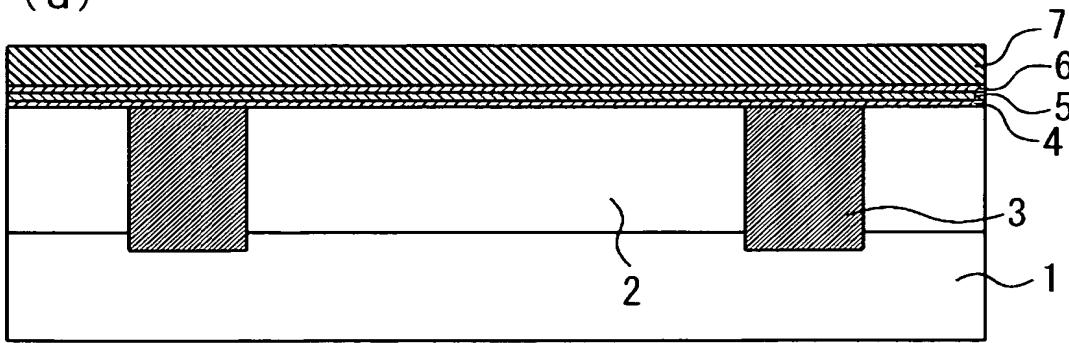
(b)



(c)

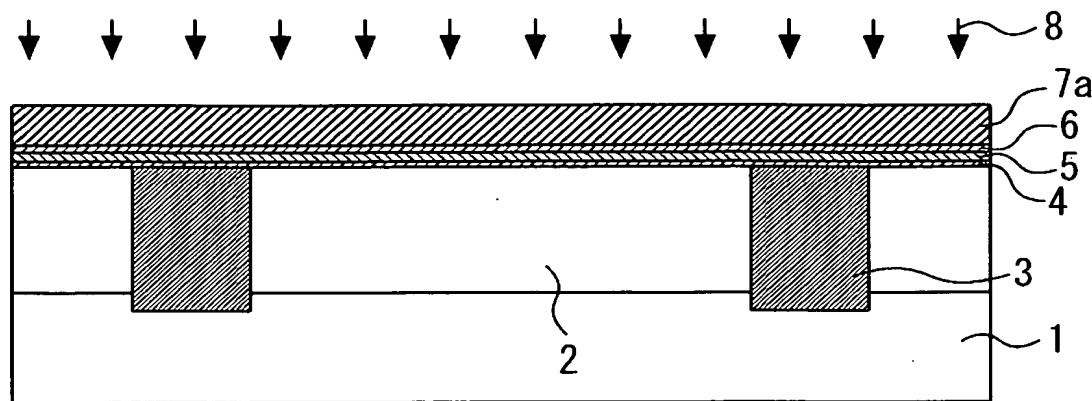


(d)

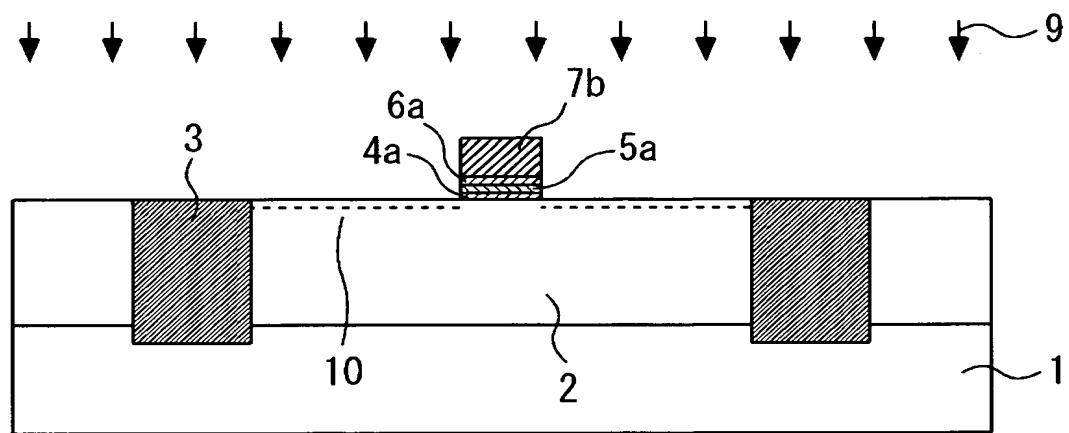


【図7】

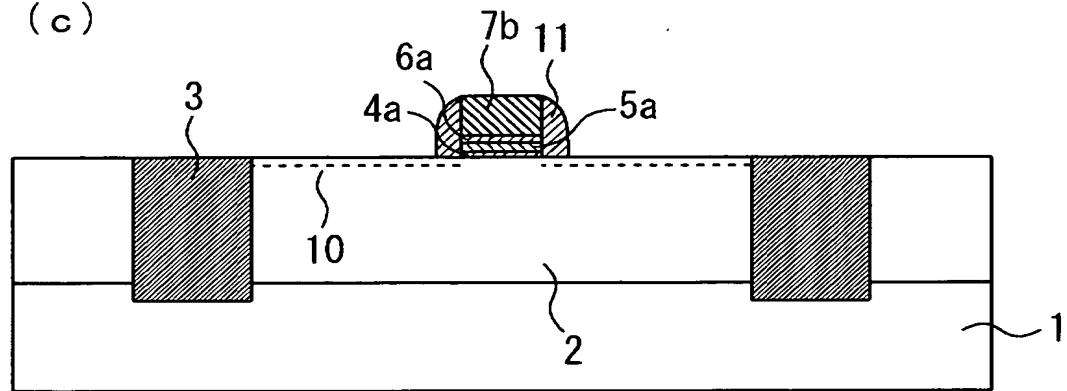
(a)



(b)

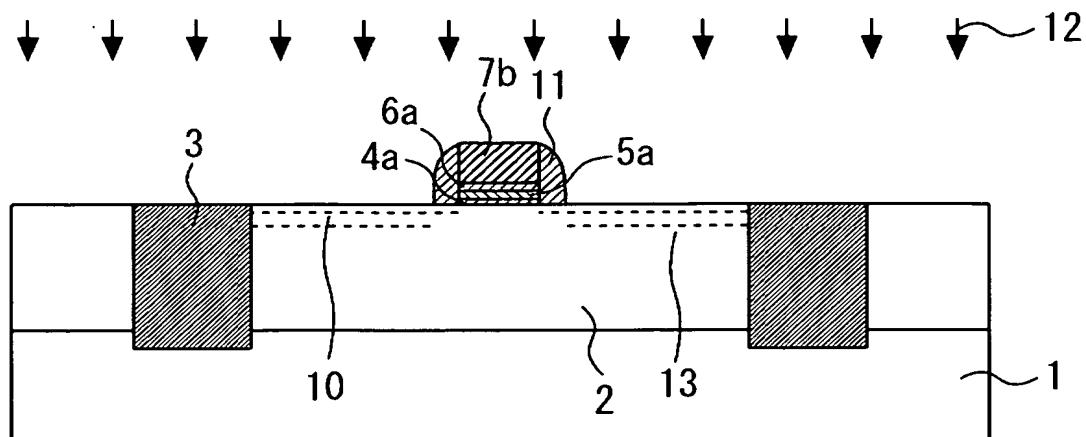


(c)

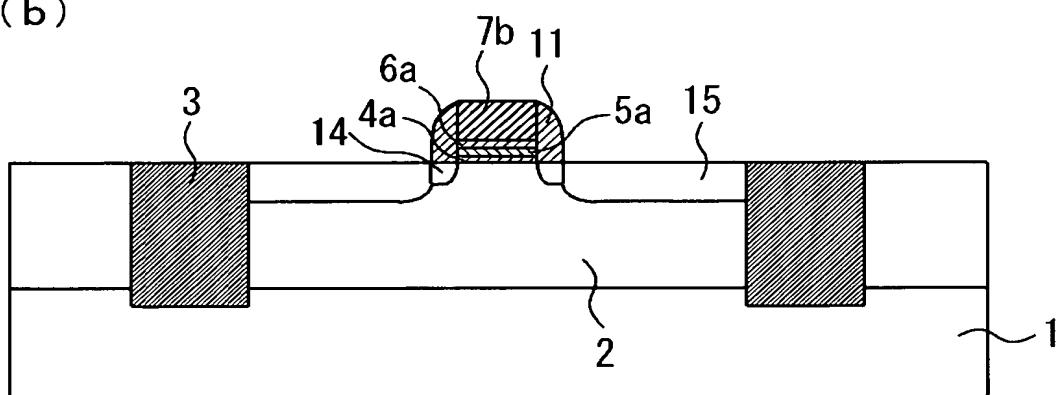


【図8】

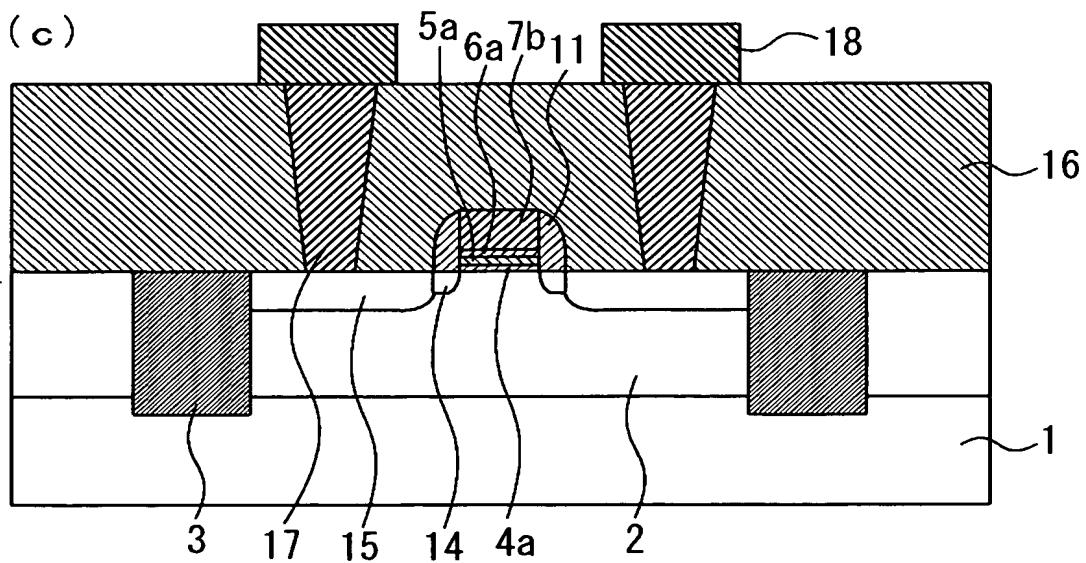
(a)



(b)

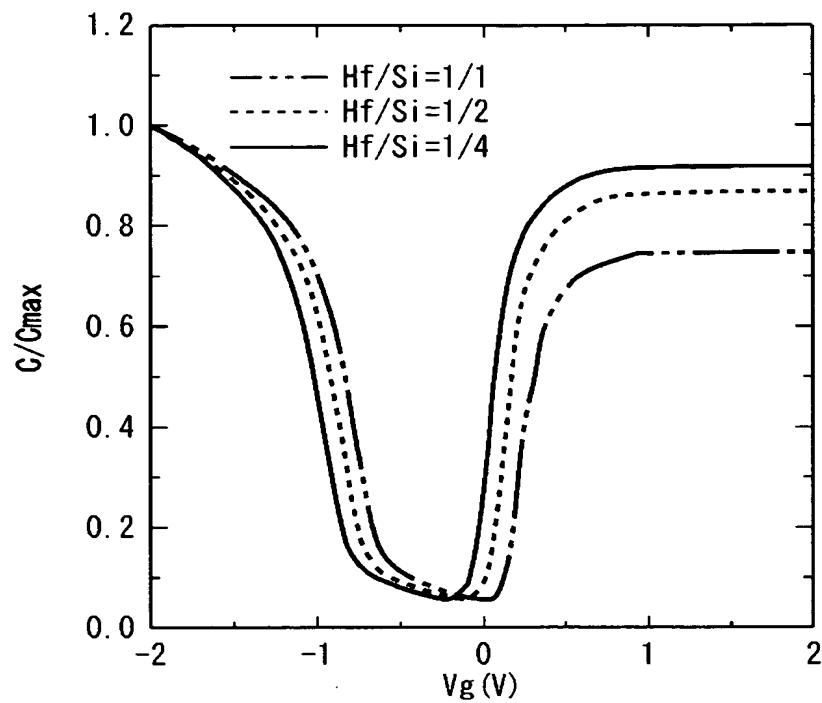


(c)

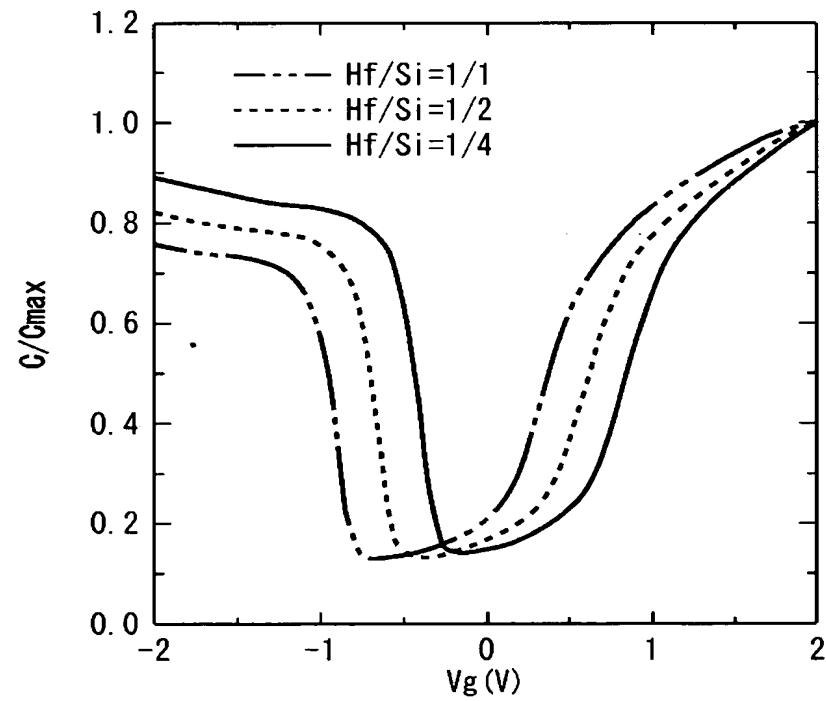


【図9】

(a)



(b)



●
【書類名】要約書

【要約】

【課題】 高誘電率膜の最上層に備えた金属シリケート膜中の金属濃度を制御することにより、理想のC-V特性と同等のC-V特性を有する半導体装置を実現する。

【解決手段】 シリコン基板1上にゲート絶縁膜を介してゲート電極7bが形成されてなる半導体装置において、ゲート絶縁膜を、シリコン基板1上に形成されたシリコン酸化膜4aと、シリコン酸化膜4a上に形成されたHfシリケート膜5aと、Hfシリケート膜5a上に形成され、Hfを1atomic%以上30atomic%以下のピーク濃度で含有し、窒素を10atomic%以上30atomic%以下のピーク濃度で含有する窒素含有Hfシリケート膜6aとを積層することにより構成する。

【選択図】 図1

特願 2003-434367

出願人履歴情報

識別番号 [597114926]

1. 変更年月日 2002年 4月10日

[変更理由] 住所変更

住 所 茨城県つくば市小野川16番地1
氏 名 株式会社半導体先端テクノロジーズ